JAPANESE [JP,2000-357795,A]

CLAIMS DETAILED DESCRIPTION TECHNICAL FIELD PRIOR ART EFFECT OF THE INVENTION TECHNICAL PROBLEM MEANS DESCRIPTION OF DRAWINGS DRAWINGS

[Translation done.]

CLAIMS

[Claim(s)]
[Claim 1] A manufacture method of a depletion type semiconductor device characterized by providing the following that a channel field consists of a vertical mold MOSFET formed in the depth direction at the same conductivity type as a source field in accordance with a side wall of a slot formed in the semiconductor substrate surface A growth production process of a film containing an impurity of the conductivity type as a source field to the semiconductor substrate surface containing inner skin of said slot with same formation production process of said channel field A thermal diffusion production process of an impurity from this film
[Claim 2] A manufacture method of a depletion type semiconductor device according to claim 1 characterized by not including a production process which carries out patterning of said film between said growth production processes and thermal diffusion production processes.
[Claim 3] A manufacture method of a depletion type semiconductor device according to claim 1 characterized by for said conductivity type being N type and said film being a PSG film.
[Claim 4] A manufacture method of a depletion type semiconductor device according to claim 1 that said slot is a U character mold groove, and a formation production process of this U character mold groove forms a LOCOS oxide film in an inside of a dry cleaning dirty production process and said initial slot for forming an initial slot in said semiconductor substrate, and is characterized by including a thermal oxidation production process for making a configuration change of the initial slot at a U character mold groove.
[Claim 5] A manufacture method of a depletion type semiconductor device according to claim 4 characterized by said growth production process being a back [production process / for removing said LOCOS oxide film / sentiment dirty] production process.
[Claim 6] A manufacture method of a depletion type semiconductor device characterized by providing the following The 1st production process which forms an initial slot in the low concentration side surface of a semiconductor substrate which consists of a semiconductor layer of high concentration 1 conductivity type and low concentration 1 conductivity type by etching after carrying out sequential formation of silicon oxide and the silicon nitride A configuration change of the initial slot is made at a U character mold groove by forming said silicon nitride in a mask after the 1st production process completion, and forming a LOCOS oxide film in an inside of said initial slot. Another conductivity-types base region is formed in a surface layer of a field where said LOCOS oxide film was divided into a mask by U character mold groove of said semiconductor substrate. The 2nd production process which forms a resist pattern in a mask, forms a conductivity-type contact-breaker-plate field besides high concentration in a surface layer of said base region, forms said LOCOS oxide film and resist pattern in a mask, and forms a high concentration 1 conductivity-type source field in a surface layer of said base region and a contact-breaker-plate field further The 3rd production process which removes a LOCOS oxide film of said U character mold groove, covers inner skin of said U character mold groove with a film containing a 1 conductivity-type impurity the back after the 2nd production process completion, and forms a 1 conductivity-type channel field in accordance with a U character mold groove side wall of said base region by thermal diffusion of a 1 conductivity-type impurity from this film Gate oxide is formed in the exposed semiconductor substrate surface which removes a film containing said 1 conductivity-type impurity, and includes a U character mold groove inside the back after the 3rd production process completion. The 4th production process which covers with a polish recon film from moreover, etches this polish recon film alternatively, leaves a polish recon film of said a part of source field surface and a U character mold groove, and forms a gate electrode, Cover with an interlayer insulation film from the semiconductor substrate surface after the 4th production process completion, and said interlayer insulation film and gate oxide are etched alternatively. The 6th production process which forms a source electrode which exposes said a part of source field surface and the contact-breaker-plate field surface, covers with an aluminum film from on that, etches this aluminum film alternatively, and is connected to said base region and a source field, and an electric target
[Claim 7] A manufacture method of a depletion type semiconductor device according to claim 6 characterized by for said one conductivity type being N type, and a film containing said 1 conductivity-type impurity being a PSG film.
[Claim 8] A manufacture method of a depletion type semiconductor device according to claim 6 characterized by performing thermal diffusion, covered with a film containing said 1 conductivity-type impurity all over the semiconductor substrate containing inner skin of said U character mold groove when forming said 1 conductivity-type channel field.

[Translation done.]

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001]
[The technical field to which invention belongs] Especially this invention relates to the manufacture method of a depletion type semiconductor device that the channel field is the same conductivity type as a source field in the vertical mold MOSFET, about the manufacture method of a depletion type semiconductor device.
[0002]
[Description of the Prior Art] The vertical mold MOSFET which is this kind of depletion type semiconductor device is used for example, for optical coupling mold semiconductor relay equipment. Optical coupling mold semiconductor relay equipment was developed as what carried out small, high sensitivity, a high speed, high-reliability-ization, etc. as relay equipment instead of conventional electromagnetic-relay equipment, changes an input signal into a lightwave signal with light emitting diode, and changes a lightwave signal into an electrical signal by the optical electromotive diode (PVD;Photo Voltaic Diode) array by which optical coupling was carried out to light emitting diode, and it makes MOSFET drive and he is trying to acquire an output-contact signal with this electrical signal. There are two kinds of the methods of closing motion of the contact of relay equipment, NOMARI opening (N. O.) and NOMARI closing (N. C.), and when the applied voltage to the gate is 0V, the vertical mold MOSFET of the depletion type used as an ON state is used for NOMARI closing type optical coupling mold semiconductor relay equipment. What made this vertical mold MOSFET U slot MOSFET structure is proposed by JP,11-26761,A. A part of JP,11-26761,A is quoted and explained to drawing 2 and the following about this vertical mold MOSFET.
[0003] In (c) of drawing 2 , the slot (henceforth a U character mold groove) 11 of a U character mold is formed in the surface of the N type silicon substrate 1 for the cross section. The inner skin of this U character mold groove 11 is covered with gate oxide 5, and the gate electrode 6 is formed on gate oxide 5. Moreover, in the surface of the N type silicon substrate 1 of the outside of the U character mold groove 11, laminating formation of the P type diffusion field 2 and the N type diffusion field 3 is carried out in this order and the N type field which turns into the channel field 4 in accordance with the side wall of said U character mold groove 11 is formed in this P type diffusion field 2.
[0004] Next, the manufacture method of a vertical mold MOSFET is explained. As first shown in (a) of drawing 2 , the U character mold groove 11 is formed in the 1 surface of the N-type semiconductor substrate 1 with which it is added by low concentration and an N type impurity becomes by anisotropic etching. Next, as shown in (b) of drawing 2 , after covering the inner skin of the U character mold groove 11 by the insulator layer 12, the P type diffusion field 2 is formed in the surface of the N type silicon substrate 1 of the outside of the U character mold groove 11. Next, the edge of the U character mold groove 11 is removed for the P type diffusion field 2 surface, and it is a wrap by the insulator layer 13. And diffusion or the low-concentration N type field which carries out an ion implantation and turns into the channel field 4 is formed for an N type impurity from the edge of the U character mold groove 11 which is not covered by the insulator layer 13. Furthermore an insulator layer 13 is removed, as shown in (c) of drawing 2 , after forming the high-concentration N type diffusion field 3 used as a source field in the P type diffusion field 2 surface, the insulator layer 12 which had covered the inner skin of the U character mold groove 11 is removed, and sequential formation of gate oxide (thin insulator layer) 5 and the gate electrode (electric conduction film) 6 is carried out at the inner skin of the U character mold groove 11. And after forming the source electrode 7 on the N type diffusion field 3, the drain electrode 8 is formed in the rear face of the N type silicon substrate 1.
[0005]
[Problem(s) to be Solved by the Invention] By the way, in the above-mentioned advanced technology, in an N type impurity, it is made to carry out by carrying out an ion implantation, and formation of the low-concentration N type field used as the channel field 4 has diffusion or the problem that a concentration gradient arises in the depth direction of the channel field 4, from the edge of the U character mold groove 11 which is not covered by the insulator layer 13. Moreover, although how to carry out an ion implantation to the interior of a slot from the direction of slanting to a semiconductor substrate without taking the above-mentioned method is also considered, in the case of a grid-like slot, an ion implantation will be performed to the slot of the both-sides side of a slot, the direction of X, and the direction of Y, and while the ion implantation from four directions is required, there is a problem that the high impurity concentration of a channel field varies. This invention aims at offering the manufacture method of the depletion type semiconductor device which made homogeneity concentration of the channel depth direction of a channel field by forming a channel field in accordance with the side wall of a slot by the thermal diffusion from the covering film containing the impurity of uniform concentration, in order to solve the above-mentioned

trouble.
[0006]
[Means for Solving the Problem] (1) A manufacture method of a depletion type semiconductor device concerning this invention In a manufacture method of a depletion type semiconductor device that a channel field consists of a vertical mold MOSFET formed in the depth direction at the same conductivity type as a source field in accordance with a side wall of a slot formed in the semiconductor substrate surface A formation production process of said channel field is characterized by including a growth production process of a film containing an impurity of the same conductivity type as a source field to the semiconductor substrate surface containing inner skin of said slot, and a thermal diffusion production process of an impurity from this film.
(2) It is characterized by a manufacture method of a depletion type semiconductor device concerning this invention not including a production process which carries out patterning of said film between said growth production processes and thermal diffusion production processes in the above-mentioned (1) term.
(3) In the above-mentioned (1) term, said conductivity type is N type and a manufacture method of a depletion type semiconductor device concerning this invention is characterized by said film being a PSG film

(4) In the above-mentioned (1) term, said slot is a U character mold groove, and a manufacture method of a depletion type semiconductor device concerning this invention is characterized by including a dry cleaning dirty production process for a formation production process of this U character mold groove forming an initial slot in said semiconductor substrate, and a thermal oxidation production process for making a configuration change of the initial slot by forming a LOCOS oxide film in an inside of said initial slot at a U character mold groove.
(5) It is characterized by a manufacture method of a depletion type semiconductor device concerning this invention being a back [production process / for said growth production process to remove said LOCOS oxide film in the above-mentioned (4) term / sentiment dirty] production process.
(6) A manufacture method of a depletion type semiconductor device concerning this invention The 1st production process which forms an initial slot in the low concentration side surface of a semiconductor substrate which consists of a semiconductor layer of high concentration 1 conductivity type and low concentration 1 conductivity type by etching after carrying out sequential formation of silicon oxide and the silicon nitride, A configuration change of the initial slot is made at a U character mold groove by forming said silicon nitride in a mask after the 1st production process completion, and forming a LOCOS oxide film in an inside of said initial slot. Another conductivity-types base region is formed in a surface layer of a field where said LOCOS oxide film was divided into a mask by U character mold groove of said semiconductor substrate. Form a resist pattern in a mask and a conductivity-type contact-breaker-plate field besides high concentration is formed in a surface layer of said base region. The 2nd production process which forms said LOCOS oxide film and resist pattern in a mask, and furthermore forms a high concentration 1 conductivity-type source field in a surface layer of said base region and a contact-breaker-plate field, After the 2nd production process completion, remove a LOCOS oxide film of said U character mold groove, and inner skin of said U character mold groove is covered with a film containing a 1 conductivity-type impurity the back. The 3rd production process which forms a 1 conductivity-type channel field in accordance with a U character mold groove side wall of said base region by thermal diffusion of a 1 conductivity-type impurity from this film, Gate oxide is formed in the exposed semiconductor substrate surface which removes a film containing said 1 conductivity-type impurity, and includes a U character mold groove inside the back after the 3rd production process completion. The 4th production process which covers with a polish recon film from moreover, etches this polish recon film alternatively, leaves a polish recon film of said a part of source field surface and a U character mold groove, and forms a gate electrode, Cover with an interlayer insulation film from the semiconductor substrate surface after the 4th production process completion, and said interlayer insulation film and gate oxide are etched alternatively. Said a part of source field surface and the contact-breaker-plate field surface are exposed, and it covers with an aluminum film from on that, and has the 6th production process which forms a source electrode which etches this aluminum film alternatively and is connected to said base region and a source field, and an electric target.
(7) In the above-mentioned (6) term, as for a manufacture method of a depletion type semiconductor device concerning this invention, a film with which said one conductivity type is N type, and contains said 1 conductivity-type impurity is characterized by being a PSG film.
(8) In the above-mentioned (6) term, in case a manufacture method of a depletion type semiconductor device concerning this invention forms said 1 conductivity-type channel field, it is characterized by performing thermal diffusion, covered with a film containing said 1 conductivity-type impurity all over the semiconductor substrate containing inner skin of said U character mold groove.
[0007]
[Embodiment of the Invention] Below, based on this invention, the vertical mold MOSFET of one example is explained with reference to drawing 1 . N+ which is a high concentration 1 conductivity-type semiconductor layer in (e) of drawing 1 N which is mold silicon layer 21a and the low concentration 1 conductivity-type semiconductor layer formed with epitaxial growth on it - N of the semiconductor substrate 21 which has mold silicon layer 21b - The U character mold groove 31 is formed in the surface by the side of mold silicon layer 21b in the shape of a grid. Gate oxide 25 is formed in the inner skin of this U character mold groove 31, and the gate electrode 26 is further formed through gate oxide 25. Moreover, the P type base region 22 is formed in the field divided into the U character mold groove 31 of the semiconductor substrate 21 more shallowly than the U character mold groove 31. It leaves a part of P type contact-breaker-plate field 22a to

the surface layer of a base region 22, and is N+. The mold source field 23 is formed in contact with the side wall of the U character mold groove 31, a base region 22 is met at the side wall of the U character mold groove 31, and it is N. – The mold channel field 24 is formed. In addition, N after the base region 22 and the source field 23 grade were formed – A field [that it continues being mold silicon layer 21b] is N. – It becomes the mold drain field 29. The gate electrode 26 is covered with the interlayer insulation film 30, and on it, the source electrode 27 which consists of aluminum ranging over between each cel carries out electric contact of it at the source field 23 and base contact field 22a, and it is formed. Although the plane pattern of a vertical mold MOSFET is not illustrated, a well-known pattern can be used, for example.

[0008] Next, the manufacture method of a vertical mold MOSFET is explained. First, the 1st production process is N+ which is a high concentration 1 conductivity-type semiconductor layer about the completion back of this production process as shown in drawing 1 (a). Mold silicon layer 21a, N which is the low concentration 1 conductivity-type semiconductor layer formed with epitaxial growth on it – N of the semiconductor substrate 21 which has mold silicon layer 21b – Silicon oxide 32 is formed in the surface by the side of mold silicon layer 21b by the oxidizing [thermally] method. Furthermore, they are a nitride 33, ar oxide film 32, and N alternatively by the photolithography method after growing up the silicon nitride 33 with a CVD method on it, and the dry cleaning dirty method. – Mold silicon layer 21b is etched and the initial slot 34 is formed in the shape of a grid. The initial slot 34 etches the depth for example, by 1.3-micrometer aim, and is formed. An oxide film 32 is formed as a buffer film of the stress by the nitride 33 at the time of LOCOS oxidation at an after production process, and since the one where thickness is thicker becomes large, it also makes the radius of curvature of a slot shoulder thickness from which radius of curvature serves as a proper value, at the same time stress is eased. Moreover, it is considering as thickness from which the fault on a production process does not occur since the fault on production processes, like oxygen passes through the damage on the nitride 33 by thickness being conversely thin although the radius of curvature of a slot shoulder also becomes large at the same time it reduces the stress a nitride 33 is formed as a mask at the time of the LOCOS oxidation in an after production process, and according [the one where thickness is thinner] to nitride 33 self, or a nitride 33 occurs, but radius of curvature serves as a proper value.

[0009] Next, if the 2nd production process uses after the 1st production process completion and a nitride 33 as a mask for the completion back of this production process as shown in drawing 1 (b), and it oxidizes the inside of the initial slot 34 thermally, for example, the LOCOS oxide film 35 of about 7000A of thickness is formed, configuration deformation of the initial slot 34 will be carried out at the U character mold groove 31. Then, a nitride 33 and an oxide film 32 are completely removed by the sentiment dirty method, the silicor oxide 36 for an ion implantation is formed in about 100A of thickness by the oxidizing [thermally] method, the after and LOCOS oxide film 35 is used as a mask, and the P type base region 22 is formed in an ion implantation and the field which thermal diffusion was carried out, was shallower than the depth of the U character mold groove 31, and was separated by the U character mold groove 31 for boron through silicon oxide 36. Then, P+ which carries out a mask with the resist pattern in the photolithography method, carries out the ion implantation of boron or the fluoridation boron, carries out thermal diffusion after photoresist film removal, and is contained in base region 22 surface layer Mold contact-breaker-plate field 22a is formed. Furthermore, it is N+ to base region 22 surface layer which carries out the mask of the contact-breaker-plate field 22a top with a resist pattern, carries out the ion implantation of arsenic or Lynn, carries out thermal diffusion after photoresist film removal, and contains contact-breaker-plate field 22a while using the LOCOS oxide film 35 as a mask. The mold source field 23 is formed. In addition, N after the base region 22 and the source field 23 grade were formed – A field [that it continues being mold silicon layer 21b] is N. – It becomes the mold drain field 29.

[0010] As shown in drawing 1 (c), the 3rd production process the completion back of this production process Next, after the 2nd production process completion, The LOCOS oxide film 35 in a slot 31 and the oxide film 36 of the semiconductor substrate 21 surface are removed by the sentiment dirty method. Later, A CVD method covers the inside of a slot 31, and the semiconductor substrate 21 surface by the PSG film 37 of about 5000A of thickness, thermal diffusion of Lynn from the PSG film 37 is carried out, a base region 22 is met at the side wall of a slot 31, and it is N. – The mold channel field 24 is formed. Although Lynn from the PSG film 37 is diffused also in contact-breaker-plate field 22a of an opposite conductivity type at this time, since the concentration of the P type impurity of contact-breaker-plate field 22a is sufficiently high compared with the concentration of Lynn from the PSG film 37, it is not influenced. In addition, although a routing counter increases, it is, after covering the PSG film 37, and before carrying out thermal diffusion of Lynn from the PSG film 37, anisotropic etching may remove PSG films 37 other than the side wall of a slot 31.

[0011] As shown in drawing 1 (d), the 4th production process the completion back of this production process Next, after the 3rd production process completion, Gate oxide 25 is formed in the surface of the semiconductor substrate 21, and the inside of a slot 31 by the oxidizing [thermally] method. A CVD method covers the inside of a slot 31, and the semiconductor substrate 21 surface by the polish recon film of about 4700A of thickness. Then, by the photolithography method and the dry cleaning dirty method It leaves a part of source field 23 surface and the polish recon film of a slot 31, and the gate electrode 26 is formed.

[0012] Next, the 5th production process covers after the 4th production process completion, the inside of a slot 31, and the semiconductor substrate 21 surface with the interlayer insulation film 30 of about 17000A o thickness for the completion back of this production process with a CVD method, as shown in drawing 1 (e). A contact aperture is formed in an interlayer insulation film 30 and gate oxide 25, an aluminum film covers by the spatter from on that the back, this aluminum film is alternatively removed by the photolithography

method and the dry cleaning dirty method so that a part of source field 23 surface and the contact-breaker-plate field 22a surface may be exposed, and the source electrode 27 electrically connected by contact-breaker-plate field 22a and the source field 23, and ohmic contact is formed.
[0013] According to this manufacture method, the inner skin of a slot 31 is covered with the PSG film 37, thermal diffusion of Lynn from the PSG film 37 is carried out, a base region 22 is met at the side wall of a slot 31, and it is N. - Since the mold channel field 24 is formed, concentration of the channel depth direction of the channel field 24 can be made regularity, and the variation in channel resistance or threshold voltage can be suppressed. In addition, although the front [formation / of a channel field] production process is performing formation of a contact-breaker-plate field and a source field in the above-mentioned example, you may be after the gate electrode formation which is an after production process.
[0014]
[Effect of the Invention] Since according to the manufacture method of this invention the film containing the impurity of the same conductivity type as a source field is grown up into the inner skin of a slot, thermal diffusion of the impurity from this film is carried out and a channel field is formed in a base region in accordance with the side wall of a slot, concentration of the channel depth direction of a channel field can be made regularity, and the depletion type semiconductor device which suppressed the variation in channel resistance or threshold voltage can be manufactured.

[Translation done.]

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]
[Drawing 1] Process drawing for explaining the manufacture method of the vertical mold MOSFET which is one example of this invention.
[Drawing 2] Process drawing for explaining the manufacture method of the conventional vertical mold MOSFET.
[Description of Notations]
21 Semiconductor Substrate
22 P Type Base Region
22a P+ Mold contact-breaker-plate field
23 N+ Mold Source Field
24 N - Mold Channel Field
25 Gate Oxide
26 Gate Electrode
27 Source Electrode
30 Interlayer Insulation Film
31 U Character Mold Groove
32 Silicon Oxide
33 Silicon Nitride
34 Initial Slot
35: LOCOS oxide film
37: PSG film

[Translation done.]

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報**（Ａ）　(11)特許出願公開番号
特開2000－357795
（P2000－357795A）
(43)公開日　平成12年12月26日(2000.12.26)

(51)Int.Cl.⁷	識別記号	ＦＩ		テーマコード（参考）
Ｈ０１Ｌ　29/78		Ｈ０１Ｌ　29/78	６５３Ａ	
21/336			６５３Ｃ	
			６５８Ｆ	
			６５８Ａ	

審査請求　未請求　請求項の数８　ＯＬ　（全６頁）

(21)出願番号　特願平11－170749

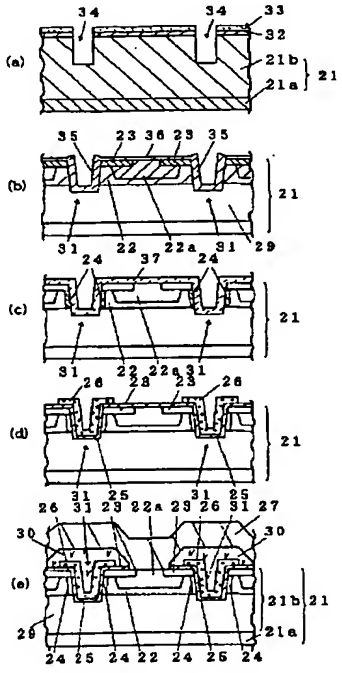
(22)出願日　平成11年６月17日(1999.6.17)

(71)出願人　000156950
関西日本電気株式会社
滋賀県大津市晴嵐２丁目９番１号

(72)発明者　田村　純
滋賀県大津市晴嵐２丁目９番１号　関西日本電気株式会社内

(54)【発明の名称】　ディプレッション型半導体装置の製造方法

(57)【要約】
【課題】　Ｕ字型溝の側壁に沿って形成されるチャネル領域の溝深さ方向の濃度を均一にする。
【解決手段】　Ｕ字型溝３１を有するデプレッション型の縦型ＭＯＳＦＥＴの製造方法において、溝３１の内周面をＰＳＧ膜３７で被覆し、ＰＳＧ膜３７からのリンを熱拡散してベース領域２２に溝３１の側壁に沿ってＮ－型チャネル領域２４を形成する



【特許請求の範囲】

【請求項１】チャネル領域が半導体基板表面に形成した溝の側壁に沿って深さ方向にソース領域と同じ導電型に形成された縦型ＭＯＳＦＥＴからなるディプレッション型半導体装置の製造方法において、前記チャネル領域の形成工程が、前記溝の内周面を含む半導体基板表面へのソース領域と同じ導電型の不純物を含む膜の成長工程と、この膜からの不純物の熱拡散工程とを含むことを特徴とするディプレッション型半導体装置の製造方法。

【請求項２】前記成長工程と熱拡散工程との間に前記膜をパターニングする工程を含まないことを特徴とする請求項１記載のディプレッション型半導体装置の製造方法。

【請求項３】前記導電型がＮ型であり、前記膜がＰＳＧ膜であることを特徴とする請求項１記載のディプレッション型半導体装置の製造方法。

【請求項４】前記溝がＵ字型溝であり、このＵ字型溝の形成工程が、前記半導体基板に初期溝を形成するためのドライエッチ工程と、前記初期溝の内面にＬＯＣＯＳ酸化膜を形成して初期溝をＵ字型溝に形状変更するための熱酸化工程とを含むことを特徴とする請求項１記載のディプレッション型半導体装置の製造方法。

【請求項５】前記成長工程が、前記ＬＯＣＯＳ酸化膜を除去するためのウエットエッチ工程より後工程であることを特徴とする請求項４記載のディプレッション型半導体装置の製造方法。

【請求項６】高濃度一導電型および低濃度一導電型の半導体層からなる半導体基板の低濃度側表面に、シリコン酸化膜とシリコン窒化膜を順次形成した後、エッチングにより初期溝を形成する第１工程と、

第１工程完了後、前記シリコン窒化膜をマスクに前記初期溝の内面にＬＯＣＯＳ酸化膜を形成することにより初期溝をＵ字型溝に形状変更し、前記ＬＯＣＯＳ酸化膜をマスクに前記半導体基板のＵ字型溝に分離された領域の表面層に他導電型ベース領域を形成し、レジストパターンをマスクに前記ベース領域の表面層に高濃度他導電型コンタクトベース領域を形成し、さらに前記ＬＯＣＯＳ酸化膜とレジストパターンをマスクに前記ベース領域およびコンタクトベース領域の表面層に高濃度一導電型ソース領域を形成する第２工程と、

第２工程完了後、前記Ｕ字型溝のＬＯＣＯＳ酸化膜を除去して後、前記Ｕ字型溝の内周面を一導電型不純物を含む膜で被覆し、この膜からの一導電型不純物の熱拡散により前記ベース領域のＵ字型溝側壁に沿って一導電型チャネル領域を形成する第３工程と、

第３工程完了後、前記一導電型不純物を含む膜を除去して後、Ｕ字型溝内面を含む露出した半導体基板表面にゲート酸化膜を形成し、その上からポリシリコン膜で被覆しこのポリシリコン膜を選択的にエッチングして前記ソース領域表面の一部およびＵ字型溝のポリシリコン膜を

残してゲート電極を形成する第４工程と、

第４工程完了後、半導体基板表面から層間絶縁膜で被覆し、前記層間絶縁膜およびゲート酸化膜を選択的にエッチングして、前記ソース領域表面の一部およびコンタクトベース領域表面を露出し、その上からアルミニウム膜で被覆し、このアルミニウム膜を選択的にエッチングして前記ベース領域およびソース領域と電気的に接続するソース電極を形成する第６工程とを有するディプレッション型半導体装置の製造方法。

【請求項７】前記一導電型がＮ型であり、前記一導電型不純物を含む膜がＰＳＧ膜であることを特徴とする請求項６記載のディプレッション型半導体装置の製造方法。

【請求項８】前記一導電型チャネル領域を形成する際、前記一導電型不純物を含む膜で前記Ｕ字型溝の内周面を含む半導体基板全面に被覆したままで熱拡散を行なうことを特徴とする請求項６記載のディプレッション型半導体装置の製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、ディプレッション型半導体装置の製造方法に関し、特に縦型ＭＯＳＦＥＴにおいてチャネル領域がソース領域と同じ導電型になっているディプレッション型半導体装置の製造方法に関する。

【０００２】

【従来の技術】この種のディプレッション型半導体装置である縦型ＭＯＳＦＥＴは例えば、光結合型半導体リレー装置に用いられている。光結合型半導体リレー装置は、従来の電磁リレー装置に代わりリレー装置として小型、高感度、高速、高信頼性化等したものとして開発されたもので、入力信号を発光ダイオードで光信号に変換し、発光ダイオードと光結合された光起電ダイオード（ＰＶＤ；Photo Voltaic Diode）アレーで光信号を電気信号に変換し、この電気信号によってＭＯＳＦＥＴを駆動させ、出力接点信号を得るようにしている。リレー装置の接点の開閉のしかたには、ノーマリ・オープン（N.O.）とノーマリ・クローズ（N.C.）の２種類があり、ノーマリ・クローズタイプの光結合型半導体リレー装置にゲートへの印加電圧が０Ｖのときオン状態となるディプレッション型の縦型ＭＯＳＦＥＴが用いられる。この縦型ＭＯＳＦＥＴをＵ溝ＭＯＳＦＥＴ構造としたものが特開平11-26761号に提案されている。この縦型ＭＯＳＦＥＴについて、特開平11-26761号の一部を図２と以下に引用して説明する。

【０００３】図２の（ｃ）において、Ｎ型シリコン基板１の表面に断面がＵ字型の溝（以下、Ｕ字型溝という）１１が形成されている。このＵ字型溝１１の内周面はゲート酸化膜５で被覆されていて、ゲート酸化膜５上にはゲート電極６が形成されている。また、Ｕ字型溝１１の外側のＮ型シリコン基板１の表面にはＰ型拡散領域２お

よびN型拡散領域３がこの順で積層形成されており、このＰ型拡散領域２に前記Ｕ字型溝１１の側壁に沿ってチャネル領域４となるN型領域が形成されている。

【０００４】次に、縦型ＭＯＳＦＥＴの製造方法を説明する。まず図２の（ａ）に示すように、N型不純物が低濃度に添加されてなるN型半導体基板１の一表面にＵ字型溝１１を異方性エッチングにより形成する。次に図２の（ｂ）に示すように、Ｕ字型溝１１の内周面を絶縁膜１２で覆った後、Ｕ字型溝１１の外側のN型シリコン基板１の表面にＰ型拡散領域２を形成する。次にＰ型拡散領域２表面を、Ｕ字型溝１１の縁部を除いて絶縁膜１３により覆う。そして、絶縁膜１３で覆われていないＵ字型溝１１の縁部よりN型不純物を拡散またはイオン注入して、チャネル領域４となる低濃度のN型領域を形成する。さらに絶縁膜１３を除去し、図２の（ｃ）に示すようにＰ型拡散領域２表面にソース領域となる高濃度のN型拡散領域３を形成した後、Ｕ字型溝１１の内周面を覆っていた絶縁膜１２を除去し、Ｕ字型溝１１の内周面にゲート酸化膜（薄い絶縁膜）５、ゲート電極（導電膜）６を順次形成する。そしてN型拡散領域３上にソース電極７を形成した後、N型シリコン基板１の裏面にドレイン電極８を形成する。

【０００５】

【発明が解決しようとする課題】ところで、上記先行技術では、チャネル領域４となる低濃度のN型領域の形成は、絶縁膜１３で覆われていないＵ字型溝１１の縁部よりN型不純物を拡散またはイオン注入して行なうようにしており、チャネル領域４の深さ方向に濃度勾配が生じるという問題がある。また、上記の方法を採らないで半導体基板に対して斜めの方向から溝内部にイオン注入する方法も考えられるが、格子状の溝の場合、溝の両側面、かつ、Ｘ方向およびＹ方向の溝に対してイオン注入を行なうことになり、４方向からのイオン注入が必要であるとともに、チャネル領域の不純物濃度がばらつくという問題がある。本発明は上記問題点を解決するために、均一な濃度の不純物を含む被覆膜からの熱拡散により溝の側壁に沿ってチャネル領域を形成することでチャネル領域の溝深さ方向の濃度を均一としたディプレッション型半導体装置の製造方法を提供することを目的とする。

【０００６】

【課題を解決するための手段】（１）本発明に係るディプレッション型半導体装置の製造方法は、チャネル領域が半導体基板表面に形成した溝の側壁に沿って深さ方向にソース領域と同じ導電型に形成された縦型ＭＯＳＦＥＴからなるディプレッション型半導体装置の製造方法において、前記チャネル領域の形成工程が、前記溝の内周面を含む半導体基板表面へのソース領域と同じ導電型の不純物を含む膜の成長工程と、この膜からの不純物の熱拡散工程とを含むことを特徴とする。

（２）本発明に係るディプレッション型半導体装置の製造方法は上記（１）項において、前記成長工程と熱拡散工程との間に前記膜をパターニングする工程を含まないことを特徴とする。

（３）本発明に係るディプレッション型半導体装置の製造方法は上記（１）項において、前記導電型がN型であり、前記膜がＰＳＧ膜であることを特徴とする。

（４）本発明に係るディプレッション型半導体装置の製造方法は上記（１）項において、前記溝がＵ字型溝であり、このＵ字型溝の形成工程が、前記半導体基板に初期溝を形成するためのドライエッチ工程と、前記初期溝の内面にＬＯＣＯＳ酸化膜を形成して初期溝をＵ字型溝に形状変更するための熱酸化工程とを含むことを特徴とする。

（５）本発明に係るディプレッション型半導体装置の製造方法は上記（４）項において、前記成長工程が、前記ＬＯＣＯＳ酸化膜を除去するためのウエットエッチ工程より後工程であることを特徴とする。

（６）本発明に係るディプレッション型半導体装置の製造方法は、高濃度一導電型および低濃度一導電型の半導体層からなる半導体基板の低濃度側表面に、シリコン酸化膜とシリコン窒化膜を順次形成した後、エッチングにより初期溝を形成する第１工程と、第１工程完了後、前記シリコン窒化膜をマスクに前記初期溝の内面にＬＯＣＯＳ酸化膜を形成することにより初期溝をＵ字型溝に形状変更し、前記ＬＯＣＯＳ酸化膜をマスクに前記半導体基板のＵ字型溝に分離された領域の表面層に他導電型ベース領域を形成し、レジストパターンをマスクに前記ベース領域の表面層に高濃度他導電型コンタクトベース領域を形成し、さらに前記ＬＯＣＯＳ酸化膜とレジストパターンをマスクに前記ベース領域およびコンタクトベース領域の表面層に高濃度一導電型ソース領域を形成する第２工程と、第２工程完了後、前記Ｕ字型溝のＬＯＣＯＳ酸化膜を除去して後、前記Ｕ字型溝の内周面を一導電型不純物を含む膜で被覆し、この膜からの一導電型不純物の熱拡散により前記ベース領域のＵ字型溝側壁に沿って一導電型チャネル領域を形成する第３工程と、第３工程完了後、前記一導電型不純物を含む膜を除去して後、Ｕ字型溝内面を含む露出した半導体基板表面にゲート酸化膜を形成し、その上からポリシリコン膜で被覆しこのポリシリコン膜を選択的にエッチングして前記ソース領域表面の一部およびＵ字型溝のポリシリコン膜を残してゲート電極を形成する第４工程と、第４工程完了後、半導体基板表面から層間絶縁膜で被覆し、前記層間絶縁膜およびゲート酸化膜を選択的にエッチングして、前記ソース領域表面の一部およびコンタクトベース領域表面を露出し、その上からアルミニウム膜で被覆し、このアルミニウム膜を選択的にエッチングして前記ベース領域およびソース領域と電気的に接続するソース電極を形成する第６工程とを有する。

（７）本発明に係るディプレッション型半導体装置の製造方法は上記（６）項において、前記一導電型がN型であり、前記一導電型不純物を含む膜がＰＳＧ膜であることを特徴とする。

（８）本発明に係るディプレッション型半導体装置の製造方法は上記（６）項において、前記一導電型チャネル領域を形成する際、前記一導電型不純物を含む膜で前記U字型溝の内周面を含む半導体基板全面に被覆したままで熱拡散を行なうことを特徴とする。

【０００７】

【発明の実施の形態】以下に、本発明に基づき１実施例の縦型ＭＯＳＦＥＴを図１を参照して説明する。図１の（ｅ）において、高濃度一導電型半導体層であるN+ 型シリコン層２１ａと、その上に例えば、エピタキシャル成長で形成された低濃度一導電型半導体層であるN- 型シリコン層２１ｂとを有する半導体基板２１のN- 型シリコン層２１ｂ側の表面にU字型溝３１が格子状に形成されている。このU字型溝３１の内周面にはゲート酸化膜２５が形成され、さらにゲート酸化膜2.5を介してゲート電極２６が形成されている。また、半導体基板２１のU字型溝３１に分離された領域にU字型溝３１より浅くＰ型ベース領域2_2が形成されている。ベース領域２２の表面層にＰ型コンタクトベース領域２２ａを一部残してN+ 型ソース領域２３がU字型溝３１の側壁に接して形成されており、ベース領域２２にU字型溝３１の側壁に沿ってN- 型チャネル領域２４が形成されている。尚、ベース領域２２やソース領域２３等が形成された後のN- 型シリコン層２１ｂのままの領域はN- 型ドレイン領域２９となる。ゲート電極２６は層間絶縁膜３０により被覆されており、その上に各セル間に跨って例えばアルミニウムからなるソース電極２７がソース領域２３とベースコンタクト領域２２ａとに電気的接触して形成されている。縦型ＭＯＳＦＥＴの平面パターンは図示しないが、例えば、公知のパターンを用いることができる。

【０００８】次に、縦型ＭＯＳＦＥＴの製造方法を説明する。先ず、第１工程はこの工程の完了後を図１（ａ）に示すように、高濃度一導電型半導体層であるN+ 型シリコン層２１ａと、その上にエピタキシャル成長で形成された低濃度一導電型半導体層であるN- 型シリコン層２１ｂとを有する半導体基板２１のN- 型シリコン層２１ｂ側の表面に熱酸化法によりシリコン酸化膜３２を形成し、更にその上にシリコン窒化膜３３をＣＶＤ法により成長させた後、フォトリソグラフィ法およびドライエッチ法により選択的に窒化膜３３、酸化膜３２およびN- 型シリコン層２１ｂをエッチングして初期溝３４を格子状に形成する。初期溝３４は深さを例えば、１．３μmねらいでエッチングして形成される。酸化膜３２は後工程でのＬＯＣＯＳ酸化時の窒化膜３３による応力の緩衝膜として形成され、膜厚が厚いほうが応力が緩和されると同時に溝肩部の曲率半径も大きくなるので、曲率半径が適正値となるような膜厚としている。また、窒化膜３３は後工程でのＬＯＣＯＳ酸化時のマスクとして形成され、膜厚が薄いほうが窒化膜３３自身による応力を低減すると同時に溝肩部の曲率半径も大きくなるが、逆に膜厚が薄いことによる窒化膜３３の損傷や窒化膜３３を酸素が通り抜ける等の工程上の不具合が発生するので、工程上の不具合が発生せず曲率半径が適正値となるような膜厚としている。

【０００９】次に、第２工程はこの工程の完了後を図１（ｂ）に示すように、第１工程完了後、窒化膜３３をマスクとして初期溝３４の内面を熱酸化して例えば膜厚７０００オングストローム程度のＬＯＣＯＳ酸化膜３５を形成すると、初期溝３４がU字型溝３１に形状変形される。その後、窒化膜３３および酸化膜３２をウェットエッチ法により全面除去し、熱酸化法によりイオン注入のためのシリコン酸化膜３６を例えば膜厚１００オングストローム程度に形成して後、ＬＯＣＯＳ酸化膜３５をマスクにしてシリコン酸化膜３６を介してホウ素をイオン注入および熱拡散してU字型溝３１の深さより浅く、U字型溝３１により分離された領域にＰ型ベース領域２２を形成する。この後、フォトリソグラフィ法でのレジストパターンでマスクしてホウ素または弗化ホウ素をイオン注入しフォトレジスト膜除去後に熱拡散してベース領域２２表面層に含まれるP+ 型コンタクトベース領域２２ａを形成する。さらに、ＬＯＣＯＳ酸化膜３５をマスクにするとともにコンタクトベース領域２２ａ上をレジストパターンでマスクして砒素またはリンをイオン注入しフォトレジスト膜除去後に熱拡散してコンタクトベース領域２２ａを含むベース領域２２表面層にN+ 型ソース領域２３を形成する。尚、ベース領域２２やソース領域２３等が形成された後のN- 型シリコン層２１ｂのままの領域はN- 型ドレイン領域２９となる。

【００１０】次に、第３工程はこの工程の完了後を図１（ｃ）に示すように、第２工程完了後、ウェットエッチ法により溝３１内のＬＯＣＯＳ酸化膜３５と半導体基板２１表面の酸化膜３６を除去して後、溝３１内および半導体基板２１表面をＣＶＤ法により例えば膜厚５０００オングストローム程度のＰＳＧ膜３７で被覆し、ＰＳＧ膜３７からのリンを熱拡散してベース領域２２に溝３１の側壁に沿ってN- 型チャネル領域２４を形成する。このとき、ＰＳＧ膜３７からのリンは反対導電型のコンタクトベース領域２２ａにも拡散されるが、ＰＳＧ膜３７からのリンの濃度に比べてコンタクトベース領域２２ａのＰ型不純物の濃度が十分高いため影響されない。尚、工程数が増加するが、ＰＳＧ膜３７を被覆後でＰＳＧ膜３７からのリンを熱拡散する前に、異方性エッチングにより溝３１の側壁以外のＰＳＧ膜３７を除去してもよい。

【００１１】次に、第４工程はこの工程の完了後を図１

（ｄ）に示すように、第３工程完了後、半導体基板２１の表面と溝３１の内面に熱酸化法によりゲート酸化膜２５を形成し、その後、溝３１内および半導体基板２１表面をＣＶＤ法により例えば膜厚４７００オングストローム程度のポリシリコン膜で被覆し、フォトリソグラフィ法およびドライエッチ法により、ソース領域２３表面の一部および溝３１のポリシリコン膜を残してゲート電極２６を形成する。

【００１２】次に、第５工程はこの工程の完了後を図１（ｅ）に示すように、第４工程完了後、溝３１内および半導体基板２１表面をＣＶＤ法により例えば膜厚１７０００オングストローム程度の層間絶縁膜３０で被覆する。ソース領域２３表面の一部およびコンタクトベース領域２２ａ表面が露出するように層間絶縁膜３０およびゲート酸化膜２５にコンタクト窓を形成して後、その上からスパッタ法によりアルミニウム膜で被覆し、このアルミニウム膜をフォトリソグラフィ法およびドライエッチ法により選択的に除去して、コンタクトベース領域２２ａおよびソース領域２３とオーミック接触により電気的に接続するソース電極２７を形成する。

【００１３】この製造方法によれば、溝３１の内周面をＰＳＧ膜３７で被覆し、ＰＳＧ膜３７からのリンを熱拡散してベース領域２２に溝３１の側壁に沿ってＮ－型チャネル領域２４を形成するので、チャネル領域２４の溝深さ方向の濃度を一定にすることができ、チャネル抵抗やスレッショルド電圧のバラツキを抑えることができる。尚、上記実施例では、コンタクトベース領域およびソース領域の形成をチャネル領域の形成より前工程で行なっているが、後工程であるゲート電極形成後であってもよい。

＊【００１４】

【発明の効果】本発明の製造方法によれば、ソース領域と同じ導電型の不純物を含む膜を溝の内周面に成長させ、この膜からの不純物を熱拡散してベース領域に溝の側壁に沿ってチャネル領域を形成するので、チャネル領域の溝深さ方向の濃度を一定にすることができ、チャネル抵抗やスレッショルド電圧のバラツキを抑えたディプレッション型半導体装置を製造することができる。

【図面の簡単な説明】

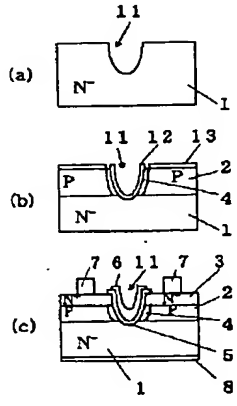
【図１】　本発明の１実施例である縦型ＭＯＳＦＥＴの製造方法を説明するための工程図。

【図２】　従来の縦型ＭＯＳＦＥＴの製造方法を説明するための工程図。

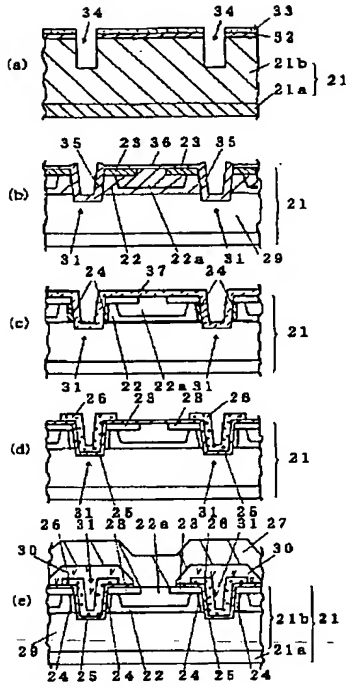
【符号の説明】

２１　半導体基板
２２　Ｐ型ベース領域
２２ａ　Ｐ+型コンタクトベース領域
２３　Ｎ+型ソース領域
２４　Ｎ－型チャネル領域
２５　ゲート酸化膜
２６　ゲート電極
２７　ソース電極
３０　層間絶縁膜
３１　Ｕ字型溝
３２　シリコン酸化膜
３３　シリコン窒化膜
３４　初期溝
３５：ＬＯＣＯＳ酸化膜
３７：ＰＳＧ膜

【図２】



【図１】


(a)
34
34
33
32
21b
21a
21
(b)
35
23
36
23
35
21
31
22
22a
31
29
(c)
24
37
24
21
31
22
22a
31
(d)
26
23
28
26
21
31
25
31
25
(e)
26
31
28
22a
23
28
31
27
30
30
21b
21
21a
29
24
25
24
22
24
25
24